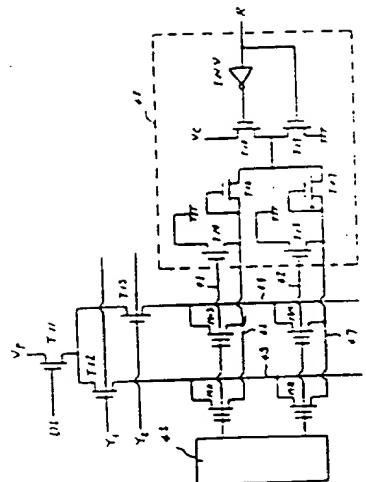


BEST AVAILABLE COPY

(54) PROGRAMMABLE READ ONLY MEMORY
(11) 59-29448 (A) (43) 16.2.1984 (19) JP
(21) Appl. No. 57-139373 (22) 11.8.1982
(71) NIPPON DENKI K.K. (72) KOUICHIROU OKUMURA
(51) Int. Cl. H01L27/10, G11C17/00, H01L29/78

PURPOSE: To shorten a channel, and to increase the capacitance of the memory by bringing only the potential of the source of a memory cell selected to a low level on writing while providing a bias applying means for keeping the source potential of all memory cells at low levels on reading.

CONSTITUTION: When the memory cell M11 is written, the source voltage of an enhancement type MAS transistor T18 is at a high level as voltage V_c because a reading signal R is at a low level, and a T14 is conducted because a first row line 41 is at a high level. The currents and voltage of the M11 reach values obtaining practically sufficient writing speed because a bias line 46 is grounded by the T14 in the source of the M11. Since the reading signal R is at a high level on reading, i.e. T18 is not conducted and a T19 is conducted, and both lines 46, 47 are brought to ground potential. Even when currents flow through the line 46 through the M11, the currents are suppressed because the T14 is conducted. Even when the potential of the line 47 rises, the potential can be returned rapidly to ground potential.



⑪ 公開特許公報 (A)

昭59-29448

⑫ Int. Cl.³
 H 01 L 27/10
 G 11 C 17/00
 H 01 L 29/78

識別記号

厅内整理番号
 6655-5F
 6549-5B
 7514-5F

⑬ 公開 昭和59年(1984)2月16日
 発明の数 1
 審査請求 未請求

(全 7 頁)

⑭ プログラマブル・リード・オンリー・メモリ

東京都港区芝五丁目33番1号
日本電気株式会社内

⑮ 特 願 昭57-139373

出願人 日本電気株式会社

⑯ 出願 昭57(1982)8月11日

東京都港区芝5丁目33番1号

⑰ 発明者 奥村孝一郎

代理人 弁理士 内原晋

明細書

3. 発明の詳細な説明

本発明は電気的に書き込み可能なプログラマブル・リード・オンリー・メモリーに関するものである。

電気的に書き込み可能なプログラマブル・リード・オンリー・メモリーのメモリーセルとして氧化膜と酸化膜の界面のトラップを用いたM N O S構造のメモリーセルやフローティングゲートに電荷を注入するソローティング構造のメモリーセルなどがあり、また、メモリーセルへデータを書き込むための電荷の注入方法としてアバランシ・ブレークダウンを用いる方法、チャンネルを流れる電荷の一部をトラップ又はフローティングゲートに注入するいわゆるチャンネル注入による方法、また、薄い絶縁中に強電界を印加して Fowler-Nordheim 墓流によりトラップ又はフローティングゲートに電荷を注入する方法など種々あるが、本発明は特に、フローティングゲート構造でチャンネル注入方式のメモリーセルを用いたプログラマブル・リード・オンリー・メモリーについての

1. 発明の名称

プログラマブル・リード・オンリー・メモリー

2. 特許請求の範囲

複数の行線と前記行線を選択する行デコーダーと、複数の列線と前記列線を選択する列デコーダーと、コントロールゲートが前記行線の一本に接続され、ドレインが前記列線の一本に接続された複数個のフローティングゲートを有する非揮発性メモリーセルのメモリーセルアレイからなるプログラマブル・リード・オンリー・メモリーにおいて、データの書き込みの時には選択されたメモリーセルのソース電位を非付勢レベルにするとと共にそれ以外のメモリーセルのソース電位を付勢レベルに保ち、データの読み出しの時にはすべてのメモリーセルのソース電位を非付勢レベルに保つためのバイアス印加手段を具備することを特徴とするプログラマブル・リード・オンリー・メモリー。

データの書き込み特性の改良を意図したものである。

まず、フローティングゲート構造でチャンホル注入方式のメモリーセルの構造と特性について説明する。第1図はフローティングゲート構造でチャンホル注入方式のメモリーセルの断面図である。P型のシリコン基板7上に形成されたソース5およびドレイン6の上面にシリコン酸化膜1を介してフローティングゲート2が形成され、更にフローティングゲート2の上面にやはりシリコン酸化膜4を介してコントロールゲート1が形成されており、N型のソース5およびドレイン6から電極3が導出されてNチャンホルのメモリーセルを構成している。データを書き込む時にはドレイン6とソース5の間に高い電圧を印加し、コントロールゲート1に正の電圧を印加することにより、フローティングゲート2の下部のP型シリコン基板7の表面にチャンホルが生じ、ソース5からドレイン6に向かって電子が飛れるが、その電子の一部をコントロールゲートに印加された正電圧によ

ゲートとシリコン酸化膜のエネルギー壁面を越えてやることによりフローティングゲート中の電子を放出する方法が一般に使用される。紫外線の照射による消去後のメモリーセルの閾値電圧は、正常データの書き込みの前の閾値電圧まで低下する。

フローティングゲート型のチャンホル注入方式のメモリーセルを用いて構成した4ビットのプログラマブル・リード・オンリー・メモリーの従来例の回路を第2図に示す。ドレインが書き込み用の高電圧電源V_Hに接続され、ゲートがデータ信号端子D₁に接続されたデータ入力用エンハンスマジト型MOS(Metal Oxide-Semiconductor)トランジスタT₁とT₂のソースにドレインが接続され、ゲートが第1の列選択信号端子Y₁と接続され、ソースが第1の列線2-3に接続された第1の列消択用エンハンスマジト型MOSトランジスタT₃と、ドレインがT₁のソースに接続され、ゲートが第2の列選択信号端子Y₂と接続され、ソースが第2の列線2-4と接続された第2の列選

リフローティングゲートに注入することによりコントロールゲート1から見たメモリーセルの閾値電圧を正方向に移動するものである。従って、データが書き込まれていないメモリーセルの閾値電圧は低く、データが書き込まれているメモリーセルの閾値電圧は高くなっている。データの書き込みに必要な時間を短くするためには、多段の電子を効率的にフローティングゲート2に注入すれば良いが、そのためには、ドレイン6とソース5の間に印加する電圧を大きくしてやり、またコントロールゲート1に印加する電圧を高くしてやる必要がある。特にドレイン6とソース5間の電圧はフローティングゲート2への電子の注入の効率に敏感であり、ドレイン6とソース5間の電圧を増大させることによりデータ書き込みに要する時間が急激に減少することは良く知られている。一度書き込んだデータを消去する時には、第1図のようなフローティングゲート型のメモリーセルにおいては、紫外線を照射し、フローティングゲート中の電子のエネルギーを増大させてフローティング

採用エンハンスマジト型MOSトランジスタT₃とドレインが第1の列線2-3と接続され、コントロールゲートが行デコーダー2-5に第1の行線21を介して接続され、ソースが接地されたフローティングゲート型チャンホル注入方式の第1のメモリーセルM₁と、ドレインが第1の列線2-3と接続され、コントロールゲートが行デコーダー2-5に第2の行線2-2を介して接続されソースが接地されている第2のメモリーセルM₂とドレインが第2の列線2-4と接続され、コントロールゲートが行デコーダー2-5に第1の行線2-1を介して接続された第3のメモリーセルM₃とドレインが第2の列線2-4と接続され、コントロールゲートが行デコーダー2-5に第2の行線2-2を介して接続されソースが接地された第4のメモリーセルM₄により第2図の従来例のプログラマブル・リード・オンリー・メモリーの回路が構成されている。第2図の従来例において、例えばM₁にデータの書き込みを行なう時には、D₁をD₁、Y₁をハイレベルにし、Y₂を接地電位にすることにより第

1の列線23を選択し、また行デコーダー25により第1の行線21をハイレベルとし、第2の行線22を接地電位にすることにより、第1の列線23と第1の行線21の交点に存在するメモリーセルM1にのみドレイン・コントロールゲート共に高電圧が印加されデータの書き込みができることになる。この場合、V_tおよびD1のハイレベル、Y₁のハイレベル、第1の行線21のハイレベルはデータの書き込みの時はいずれも2.0V～2.5V程度とするのが一般的である。データの読み出しの時にはD1を接地レベルにして、Y₁および第1の行線21の電圧を読み出しの時のハイレベル即ち通常5Vの電圧にし、T2のドレインおよびT3のドレインの接続点に図示していない経路から電流を流し込んでやることによりM1に書きされている情報を読み出すことができる。すなわち、M1にデータが書き込まれていない時は、M1の閾電圧より低いためM1は導通し、その結果第1の列線23はローレベルとなるのでT2とT3

電圧を印加した場合にいわゆるパンチスルーフ流により大電流が流れ破壊に至ることがあることなどから明白であろう。第3図を用いて第2図の従来例のプログラマブル・リード・オンリー・メモリーが高抵抗下でなければ動作しない理由を説明する。第2図において第1の列線23および第1の行線21が選択されてM1にデータを書き込むものとすると、M1の閾電圧・漏電特性は第3図の曲線31で表わすことができ、M1に十分速い速度で書き込みを行なうにはV_w以上の電圧をM1のドレインに印加することによりM1のドレイン・ソース間にI_w以上の電流を流す必要があるものとする。ところで、第2図のT1とT2の直列の導通時抵抗による負荷特性を第3図に示すと、ほぼ直線32として表示することが可能でM1の特性曲線との交点をりとし、实用上十分な速度で書き込みができる電圧V_wと電流I_wをM1の特性曲線上に表示した点は△すれば、点Bは点Aより右側、すなわちM1の特性曲線において電圧、電流共にV_wおよびI_wより大きい部分にあるので

のドレインの接続点の電位もローレベルとなるが、M1にデータが書き込まれている場合は、読み出しの時の第1の行線21の電圧よりもM1の閾電圧がるので非導通となり、第1の列線23およびT2およびT3のドレインの接続点の電位はハイレベルとなるわけである。

ところが、従来の第2回のプログラマブル・リード・オンリー・メモリーには、書き込みの時の電圧即ちV_wの電圧、Y₁、Y₂の書き込みの時のハイレベルの電圧および第1の行線21、第2の行線22の書き込みの時のハイレベルの電圧が、メモリーセル単体での書き込み特性から決定される閾電圧よりもかなり高い電圧でなければプログラマブル・リード・オンリー・メモリーとして動作しない欠点があった。書き込みの時に必要なとする閾電圧が高いということは、MOSトランジスタのショートチャネル化を阻害する原因となり、プログラマブル・リード・オンリー・メモリーの大容量化を阻害するものであることは、ショートチャネルのMOSトランジスタのドレインに高

この場合は十分速い速度でデータの書き込みができるのである。ところが、実際にメモリーセルをアレイ状に構成した場合には事情は異なってくる。すなわち、前述の場合はデータを書き込むメモリーセルM1のみについて考えたが、メモリーセルをアレイ状に構成した場合には、データを書き込まないメモリーセルがデータを書き込むメモリーセルの書き込み特性に悪影響を及ぼすからである。第2図において、M2はデータを書き込まないので、コントロールゲートは第2の行線22により接地されているが、ドレインに接続されている第1の列線23がハイレベルとなるのでM2のフローティングゲートとドレインのオーバーラップ部の容積による結合でフローティングゲートの電位が上昇するので第1の列線23の電圧がある値より高くなるとM2が導通してしまうことになる。第3図において曲線33がM2の特性曲線となるので、その結果第1の列線23から接地に流れれる電流はM1の特性曲線31とM2の特性曲線33の和すなわち曲線34となる。このために、負荷

特性3.2と特性曲線3.4の交点Cの電圧がデータを書き込むべきメモリーセルM1のドレインに印加されるが、この点Dの電圧値および電流値は実用的な速度でデータの書き込みが可能であるA点の電圧値Vwおよび電流値Iwより小さいのでこの場合には実用的なデータ書き込み速度は得られず、実用的な書き込み速度を得るために、書き込み電圧を上げることによって負荷特性3.2を右方向に移動させてやり特性曲線3.4と負荷特性3.2の交点の電圧値をVwより大きい値にしてやらなければならぬため、メモリーセル単体での書き込み電圧よりプログラマブル・リード・オンリー・メモリーとしてアレイ状にメモリーセルを構成した場合にはかなり高い書き込み電圧が必要であり、メモリーの大容量化を阻害していた。

本発明の目的は、前記の欠点を改良しシートアサンホル化、メモリーの大容量化に適したプログラマブル・リード・オンリー・メモリーを提供することにある。

本発明のプログラマブル・リード・オンリー・

メモリーは、複数の行線と前記行線を選択する行デコーダーと、複数の列線と前記列線を選択する列デコーダーと、コントロールゲートが前記行線の一本に接続され、ドレインが前記列線の一本に接続された複数個のフローティングゲートを有する不揮発性メモリーセルのメモリーセルアレイからなるプログラマブル・リード・オンリー・メモリーにおいて、データの書き込みの時には選択されたメモリーセルのソースの電位をローレベルにすると共に、それ以外のメモリーセルのソース電位をハイレベルに保ち、データの読み出しの時には、すべてのメモリーセルのソース電位をローレベルに保つためのバイアス印加手段を具備することを特徴とする。

次に本発明によるプログラマブル・リード・オンリー・メモリーの構成および動作を本発明の一実施例の回路図である第4図とその動作時の特性図である第5図を用いて詳細に説明する。

第4図は本発明の一実施例である4ビットのプログラマブル・リード・オンリー・メモリーで構成

能としては第2回の従来例と同一である。第4図の本発明の一実施例の回路は、ドレインが書き込み用の高電圧電源Vpに接続され、ゲートがデータ信号端子Y1に接続されたデータ入力用エンハンスマント型MOSトランジスタT11とT11のソースにドレインが接続されゲートが第1の列選択信号端子Y1と接続され、ソースが第1の列線4.3に接続された第1の列選択用エンハンスマント型MOSトランジスタT12と、ドレインがT11のソースに接続され、ゲートが第2の列選択信号端子Y2と接続され、ソースが第2の列線4.4と接続された第2の列選択用エンハンスマント型MOSトランジスタT13とドレインが第1の列線4.3と接続され、コントロールゲートが行デコーダー4.5に第1の行線4.1を介して接続されソースが第1のバイアスライン4.6に接続された第1のメモリーセルM11と、ドレインが第1の列線4.3と接続され、コントロールゲートが行デコーダー4.5に第2の行線4.2を介して接続されソースが第2のバイアスライン4.7に接続された第4のメモリーセルM14により成るメモリー部と、データ読み出しの時にハイレベルとなり、データ書き込みの時にローレベルとなる読み出し信号を入力とするインバーターINVとドレインが読み出し電圧用の低電圧電源Vcに接続され、ゲートがINVの出力部と接続されたエンハンスマント型MOSトランジスタT18と、ドレインがT18のソースと接続され、ゲートに読み出し信号が入力され、ソースが接地されたエンハンスマント型MOSトランジスタT19と、ドレインがT18のソースに接続され、ゲートとソースが第1のバイアスライン4.7に接続され

れた第2のメモリーセルM12と、ドレインが第2の列線4.4と接続され、コントロールゲートが行デコーダー4.5に第1の行線4.1を介して接続され、ソースが第1のバイアスライン4.6と接続された第3のメモリーセルM13と、ドレインが第2の列線4.4と接続され、コントロールゲートが行デコーダー4.5に第2の行線4.2を介して接続され、ソースが第2のバイアスライン4.7に接続された第4のメモリーセルM14により成るメモリー部と、データ読み出しの時にハイレベルとなり、データ書き込みの時にローレベルとなる読み出し信号を入力とするインバーターINVとドレインが読み出し電圧用の低電圧電源Vcに接続され、ゲートがINVの出力部と接続されたエンハンスマント型MOSトランジスタT18と、ドレインがT18のソースと接続され、ゲートに読み出し信号が入力され、ソースが接地されたエンハンスマント型MOSトランジスタT19と、ドレインがT18のソースに接続され、ゲートとソースが第1のバイアスライン4.7に接続され

・ ディフレーション型MOSトランジスタT16と、ドレインが第1のバイアスライン46に接続され、ゲートが第1の行線41に接続され、ソースが接地されたエンハンスマント型MOSトランジスタT14と、ドレインがT18のソースに接続され、ゲートとソースが第2のバイアスライン47に接続されたディフレーション型MOSトランジスタT17とドレインが第2のバイアスライン47に接続され、ゲートが第2の行線42に接続され、ソースが接地されたエンハンスマント型トランジスタT15からなるバイアス印加手段48により構成されている。

第4図において、例えばM11を書き込む時には、第3図の従来例の場合と同様に、DI、Y₂および第1の行線41に書き込みの時のハイレベルを印加し、書き込みを行なうが、書き込みの時には、読み出し信号Rはローレベルであるので、T18のソースの電圧はV_c電圧のハイレベルとなっており第1の行線41がハイレベルとなっているのでT14が導通し、第1のバイアスライン

46はローレベルとなっている。また、第2の行線42はローレベルとなっているのでT15は非導通であり、従って第2のバイアスライン47はほぼV_c電圧のハイレベルとなっている。第2のバイアスライン47がほぼV_c電圧のハイレベルとなっていることは、列線43の電圧が高くなり、M12のフローティングゲートの電圧が上昇しても、M12のソースとフローティングゲートの電位差は第2のバイアスライン47の電圧分だけ小さくなっているのでM12の電圧・電流特性は従来例の第2図の場合よりほぼV_c電圧分だけ電圧の高い方向に移動することになる。一方、データを書き込むベキメモリーセルM11のソースは第1のバイアスライン46がT14により接地にされるとされるのではなく接地電圧となっているため、M11の電流・電圧特性については、第2図の従来例の場合と同じである。その結果、第5図に示すように、M11の特性曲線51は第3図のM11の特性曲線31と同一となり、M12の特性曲線53は第3図のM12の特性曲線33より電圧の

高い方向、第5図上では右方向に移動し、M11とM12の合計の電流、すなわち第1の列線43から接地へと流れる電流の特性曲線54が得られるが、特性曲線54が急激に立ち上がる点は第3図の特性曲線34と比較してほぼV_c電圧分だけ右方向に移動する。これに対してT11、Y₁の導通時の抵抗による負荷特性52は第3図の負荷特性32と同じとすると、特性曲線54と負荷特性52との交点はDとなり、書き込みを行なうメモリーセルM11の電流・電圧は点Dで表示され、従来例の場合の第3図に比較してD点は電圧・電流とも大きくなり、实用上十分な書き込み速度を得ることができるのである。点Dに比較して大きな値となることが可能となるので従来例の第2図の回路のプログラムブル・リード・オンリー・メモリーに比較して低電圧で書き込みが可能となり、ショートチャネル化・大容量化に有利となる。データの読み出しの時には、読み出し信号Rはハイレベルとなるため、T18は非導通、T19は導通となり、第1のバイアスライン46、第2のバイアス

ライン47共に接地電位となるが、選択されたメモリーセルのソースが接続されているバイアスラインにはメモリーセルを通して電流が流れ込んでくるが、例えばM11が選択された場合に、従来例と同様にM11にデータが書き込まれていない場合に第4図に図示していない経路から電流を流し込んだ時にM11を通して流れる電流による第1のバイアスラインの電圧上昇はT14が導通することにより押さえられるので、選択されたメモリーセルのソースに接続されるバイアスラインの電圧はほぼ接地電位のままである。また選択されていないメモリーセルのソースにのみ接続されるバイアスライン、例えば第4図における第2のバイアスラインの電位はT13が非導通であり、また、M12、M13も非導通である一方、T17およびT19は導通しているので常に接地電位となっていて、外部からのノイズやリード電流等により第2のバイアスラインの電位が上昇するようなことが生じても、速やかに接地電位に復帰させることができるので読み出しの時には従来例の

2 図の構成と同様の回路の安定性をもつものである。

以上に本発明の一実施例を用いて詳細に説明した通り、本発明のプログラマブル・リード・オンリーメモリーは、従来のプログラマブル・リード・オンリーメモリーと比較して低い電圧での書き込みが可能なため、ショートチャンネル化してもパンチスルー電流による破壊が生じにくく、大容量のプログラマブル・リード・オンリーメモリーに適したものであると信ずる。

尚、実施例の説明では1ビットのメモリーセルアレイを用いて説明したが、本発明の効果は1ビットのメモリーセルアレイを使用した場合にのみ効果をもつものではなく、むしろ、大容量のメモリーの場合の効果が大きいことはあきらかである。また、説明の都合上、江チャンホールのMOSトランジスタを用いて説明したが、一般の絶縁ゲート型の電界効果トランジスタを用いて構成した場合でも効果は損われないのはもちろんである。また、第5図のバイアス印加手段4, 8は一例であり、本

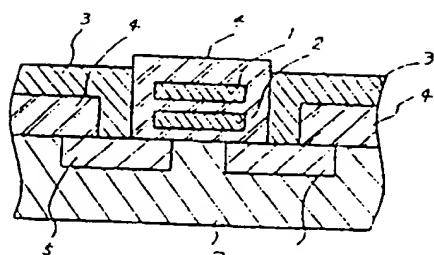
発明の主旨に沿うように構成されたバイアス印加手段であれば、図4に示した回路構成にとらわれることなく本発明の範囲に含まれることもあきらかである。

4. 図面の筋書きを説明

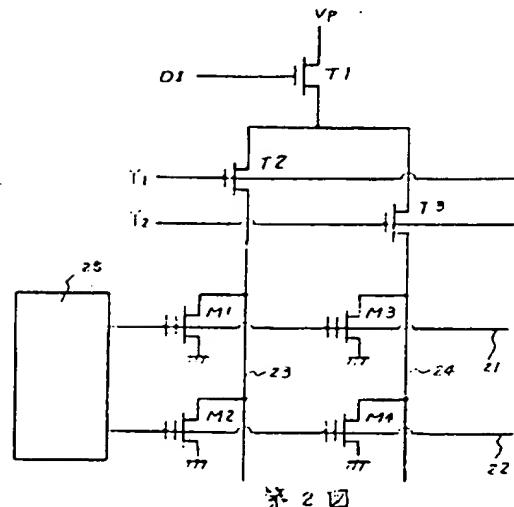
第1図は、プログラマブル・リード・オンリーメモリーのメモリーセルの構造図、第2図は従来のプログラマブル・リード・オンリーメモリーの構成を示す図、第3図は従来のプログラマブル・リード・オンリーメモリーのデータ書き込みの時の特性の説明図、第4図は本発明のプログラマブル・リード・オンリーメモリーの一実施例の構成を示す図、第5図は本発明のプログラマブル・リード・オンリーメモリーのデータ書き込みの時の特性を示す図である。

M₁ ~ M₄ ……セルトランジスタ。

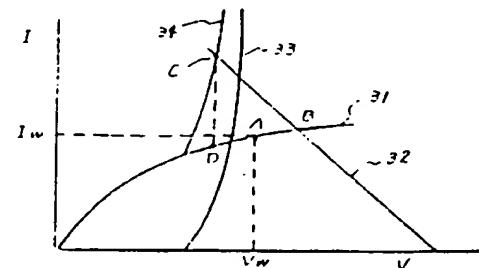
代理人弁理士内原



第1図



第2図



第3図

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox